

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **57086952 A**(43) Date of publication of application: **31.05.82**

(51) Int. Cl **G06F 9/26**
G06F 9/28
G06F 9/42

(21) Application number: **55163804**
(22) Date of filing: **20.11.80**

(71) Applicant: **NEC CORP**
(72) Inventor: **MORI SHIGEMI**

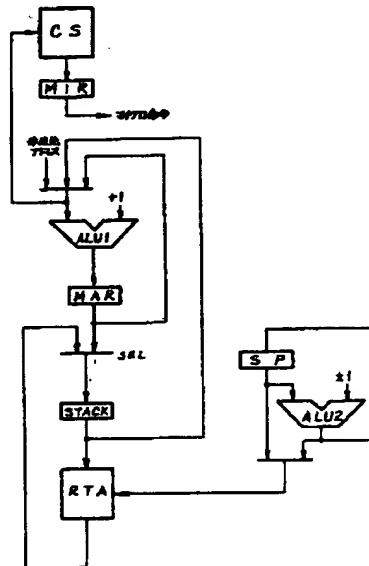
**(54) MICROPROGRAM CONTROL INFORMATION
PROCESSOR**

(57) Abstract:

PURPOSE: To read a microinstruction in a return destination address at a high speed by holding a return address, outputted as a microinstruction address, in a stack register when a return instruction is read out.

CONSTITUTION: A microinstruction address stored in a register MAR is used to read a microinstruction out of a control storage device CS and it is set in a microinstruction register MIR. Then, the microinstruction address in the register MAR is increased by one and the control is transferred to the execution of the next microinstruction. When the readout microinstruction is a branch instruction to a subroutine, a stack register input switching selector SEL transfers the microinstruction address from the register MAR to a stack register STACK. After the new subroutine branch instruction is executed, the return address in the register STACK is stored in a stack memory RTA at an address obtained by adding one to the point of a stack point SP, and a new return address is stored in the register STACK.

COPYRIGHT: (C)1982,JPO&Japio



THIS PAGE BLANK (USPTO)

JP-A-57-86952

2. What is claimed is:

A microprogram control information processing device, comprising:

5 a control storage unit storing a microprogram composed of a sequence of microinstructions;

a microinstruction address register storing microinstruction addresses for reading the microinstructions;

10 a microinstruction register storing read microinstructions;

a stack register storing a return address provided from said microinstruction address register if a read microinstruction is a subroutine branch instruction, and providing the stored return address to said microinstruction address register if the read microinstruction is a return instruction; and

20 a stack memory writing a return address which is already stored in said stack register to a storage location pointed to by a pointer before storing the return address in said stack register, and reading the return address stored in said stack register from the storage location pointed to by the pointer after outputting the return address from said stack register.

THIS PAGE BLANK (USPTO)

p. 3

Fig. 2 is a block diagram showing the configuration of a preferred embodiment according to
5 the present invention.

A microprogram control information processing device shown in Fig. 2 comprises a control storage unit CS; a microinstruction register MIR; arithmetic operation circuits ALU1 and ALU2; a microinstruction address register MAR; a stack memory RTA; a stack pointer; a stack register STACK; and a stack register input switch selector SEL.

When a normal microinstruction is executed, the microinstruction is read from the control storage unit CS based on the microinstruction address stored in the microinstruction address register MAR, and set in the microinstruction register MIR. After the microinstruction is read, the microinstruction address stored in the microinstruction address register MAR is incremented by 1, and control is transferred to the execution of the next microinstruction.

Here, if the read microinstruction is a branch instruction to a subroutine, the address register 25 side of the stack register input switch selector SEL

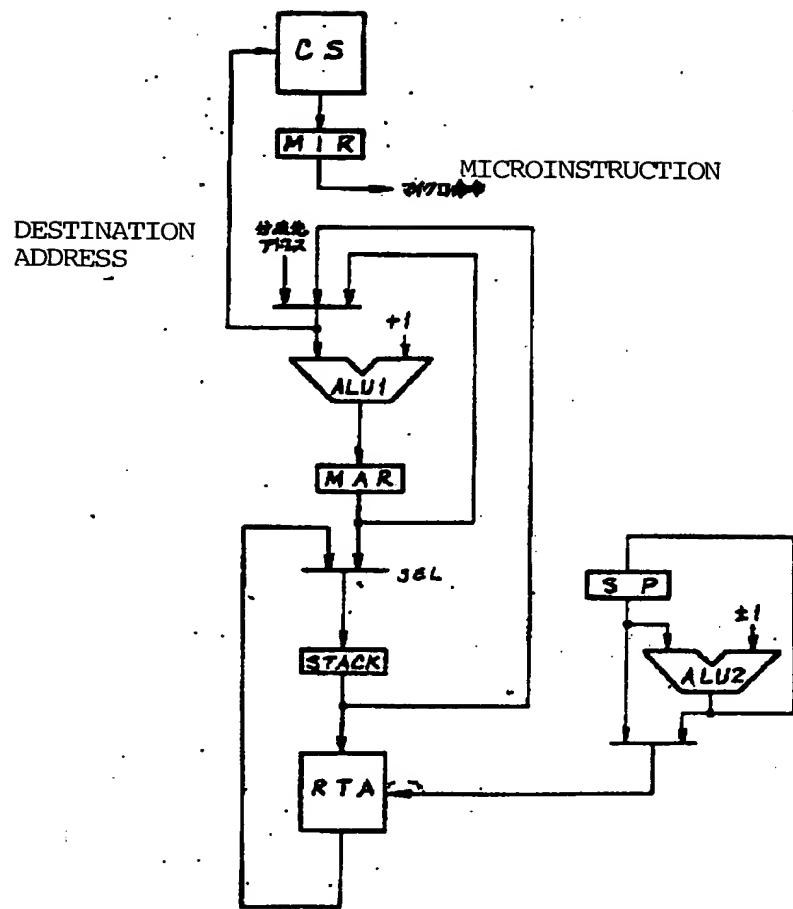
THIS PAGE BLANK (USPTO)

is selected, and the microinstruction address stored in the microinstruction address register MAR is stored in the stack register STACK. At the same time, the first microinstruction of the subroutine at a 5 branch destination address is read from the control storage unit CS, and set in the microinstruction register MIR. In the microinstruction address register MAR, the address of the microinstruction next to the microinstruction at 10 the branch destination is set, and the microprogram in the subroutine is then executed.

Meanwhile, the subroutine return address is held in the stack register STACK during the execution of the microprogram in the subroutine. Therefore, when 15 a new subroutine branch instruction is executed, the return address held in the stack register STACK is stored at the address obtained by incrementing the content of the stack pointer by "1" in the stack memory RTA, and a new return address is stored in the stack register STACK. The content of the stack 20 pointer is incremented by "1", and will point to the newly stored return address.

THIS PAGE BLANK (USPTO)

FIG. 2
第2回



THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭57-86952

⑫ Int. Cl.³
G 06 F 9/26
9/28
9/42

識別記号
9/26
9/28
9/42

府内整理番号
8120-5B
8120-5B
6745-5B

⑬ 公開 昭和57年(1982)5月31日
発明の数 1
審査請求 未請求

(全 6 頁)

⑭ マイクロプログラム制御情報処理装置

⑮ 特 願 昭55-163804
⑯ 出 願 昭55(1980)11月20日
⑰ 発明者 森成美

東京都港区芝五丁目33番1号
本電気株式会社内

⑮ 出願人 日本電気株式会社
東京都港区芝5丁目33番1号
⑯ 代理人 弁理士 内原晋

明細書

1. 発明の名称

マイクロプログラム制御情報処理装置

2. 特許請求の範囲

一連のマイクロ命令からなるマイクロプログラムを記憶する制御記憶部と、前記マイクロ命令を読み出すためのマイクロ命令アドレスを格納するマイクロ命令アドレスレジスタと、読み出した前記マイクロ命令を格納するマイクロ命令レジスタと、読み出した前記マイクロ命令がサブルーチン分岐命令のときに前記マイクロ命令アドレスレジスタから供給されたリターンアドレスを格納し読み出した前記マイクロ命令がリターン命令のときに格納した前記リターンアドレスを前記マイクロ命令アドレスレジスタに供給するスタッカレジスタと、前記スタッカレジスタへの前記リターンアドレスの格納に先だってすでにこのスタッカレジスタに格納されていたリターンアドレスをポイン

タで示される記憶位置に書き込み、前記スタッカレジスタからの前記リターンアドレスの出力極にこのスタッカレジスタに格納されるリターンアドレスを前記ポインタで示される記憶位置から読み出すスタッカメモリとを含むことを特徴とするマイクロプログラム制御情報処理装置。

3. 発明の詳細な説明

本発明は、マイクロプログラム制御情報処理装置、特に、サブルーチン実行中ににおいて保持すべきリターンアドレスのスタッカ機能を含むマイクロプログラム制御情報処理装置に関する。

従来のマイクロプログラム制御情報処理装置は、一連のマイクロ命令からなるマイクロプログラムを記憶する制御記憶部と、前記マイクロ命令を読み出すためのマイクロ命令アドレスを格納するマイクロ命令アドレスレジスタと、読み出した前記マイクロ命令を格納するマイクロ命令レジスタと、読み出した前記マイクロ命令がサブルーチン分岐命令のときに前記マイクロ命令アドレスをポイン

から供給されたリターンアドレスをポイントで示される記憶位置に書き込み読み出した前記マイクロ命令がリターン命令のときに記憶した前記リターンアドレスを前記マイクロ命令アドレスレジスタに供給するために前記ポイントで示される記憶位置から読み出すスタックメモリとを含んで構成される。

以下に、従来例について図面を参照して説明する。

第1図は従来のマイクロプログラム制御情報処理装置の一例を示すブロック図である。

第1図に示すマイクロプログラム制御情報処理装置は、通常のマイクロ命令を実行する場合には、マイクロ命令アドレスレジスタMARに格納されたマイクロ命令アドレスによってマイクロプログラムを格納する制御記憶部CSから次のマイクロ命令が読み出され、マイクロ命令レジスタMIRにセットされる。さらに、マイクロ命令アドレスレジスタMARに格納されたマイクロ命令アドレスは+1され次のマイクロ命令の実行に移っていく。

先のマイクロ命令アドレスをスタックメモリRTAから読み出し、それを用いて制御記憶部CSからリターン先のマイクロ命令を読み出しマイクロ命令レジスタMIRにセットしなければならない。そのため多くのリターンアドレスを格納するために容量の大きなスタックメモリRTAを使用する場合、リターンアドレスを読み出すのに時間がかかり性能低下をもたらすという欠点があった。

本発明の目的はリターンする場合にマイクロ命令の読み出し時間のかからないマイクロプログラム制御情報処理装置を提供することにある。

すなわち、本発明の目的は、サブルーチン分岐命令により保持されるリターンアドレスのうち、最初のリターン命令によりマイクロ命令アドレスとなるリターンアドレスを保持するスタックレジスタと、それ以外の複数個のリターンアドレスを保持するスタックメモリとを設けることにより、サブルーチン動作終了後元のマイクロプログラムルーチンに戻るためのマイクロ命令アドレスをスタックレジスタから読み出し、リターン先のマイ

<。

新しく読み出されたマイクロ命令がサブルーチン分岐命令の時、スタッカボインタSPに格納されているポイントを+1した値をアドレスとしてマイクロ命令アドレスレジスタMARに格納したマイクロ命令アドレスをスタッカメモリRTAに格納し、新しい分岐先のマイクロ命令を制御記憶部CSから読み出し該サブルーチンの実行に移る。

一方、サブルーチンの実行が終了し、そのルーチンの最後に置かれたリターン命令が制御記憶部CSから読み出されると、スタッカボインタSPに格納されているポイントが示すスタッカメモリRTAの内容が読み出され次のマイクロ命令アドレスとして、制御記憶部CSからマイクロ命令を読み出し、リターン先のマイクロプログラムルーチンの実行に移る。それと同時にスタッカボインタSPに格納したポイントも-1される。

このように、従来のマイクロプログラム制御情報処理装置では、サブルーチン実行後元のマイクロプログラムルーチンに戻るために、リターン

マイクロ命令の実行に高速で移ることが可能なマイクロプログラム制御情報処理装置を提供することにある。

本発明のマイクロプログラム制御情報処理装置は、一連のマイクロ命令からなるマイクロプログラムを記憶する制御記憶部と、前記マイクロ命令を読み出すためのマイクロ命令アドレスを格納するマイクロ命令アドレスレジスタと、読み出した前記マイクロ命令を格納するマイクロ命令レジスタと、読み出した前記マイクロ命令がリターン命令のときに格納した前記リターンアドレスを前記マイクロ命令アドレスレジスタに供給するスタッカレジスタと、前記スタッカレジスタへの前記リターンアドレスの格納に先だってすでにこのスタッカレジスタに格納されていたリターンアドレスをポイントで示される記憶位置に書き込み前記スタッカレジスタからの前記リターンアドレスの出力後に

このスタックレジスタに格納されるリターンアドレスを前記ポインタで示される記憶位置から読み出すスタックメモリとを含んで構成される。

すなわち、本発明のマイクロプログラム制御情報処理装置は、マイクロプログラムのサブルーチン動作中、元のマイクロプログラムルーチンへのリターンアドレスを1個保持しサブルーチン動作終了後リターン先のマイクロ命令アドレスとして出力せしめるスタックレジスタと、サブルーチン分岐命令により前記スタックレジスタの内容を入力せしめ複数個のリターンアドレスを保持することが可能なスタックメモリと、前記スタックメモリのアドレスを指定するスタックポインタと、サブルーチン分岐命令実行時に該マイクロ命令の次のマイクロ命令アドレスを、またリターン命令実行時には前記スタックメモリに保持されているリターンアドレスを前記スタックレジスタに入力せしめる切替手段とを具え、サブルーチン分岐命令により保持されるリターンアドレスのうち最初のリターン命令によりマイクロ命令アドレスとなる

ある。

第2図に示すマイクロプログラム制御情報処理装置は、制御記憶部CSと、マイクロ命令レジスタMIRと、演算回路ALU1, ALU2とマイクロ命令アドレスレジスタMARと、スタックメモリRTAと、スタックポインタと、スタックレジスタSTACKと、スタックレジスタ入力切替セレクタSELとを含んでいる。

通常のマイクロ命令実行の場合、マイクロ命令アドレスレジスタMARに格納されたマイクロ命令アドレスにより制御記憶装置CSからマイクロ命令を読み出して、マイクロ命令レジスタMIRにセットする。さらにマイクロ命令読み出し後、マイクロ命令アドレスレジスタMARに格納されているマイクロ命令アドレスを+1し、次のマイクロ命令の実行に移っていく。

ここで、読み出されたマイクロ命令がサブルーチンへの分岐命令の場合は、スタックレジスタ入力切替セレクタSELのアドレスレジスタ側を選択してマイクロ命令アドレスレジスタMARに格

リターンアドレスを前記スタックレジスタに保持し、前記以外のリターンアドレスを前記スタックメモリに保持して構成される。

このようなマイクロプログラム制御情報処理装置では、サブルーチン分岐命令により該マイクロ命令の次のマイクロ命令アドレスがリターンアドレスとしてスタックレジスタに格納され、スタックレジスタに保持していたリターンアドレスはスタックポインタを+1した後スタックメモリに格納される。

一方リターン命令が読み出されるとスタックレジスタの内容がリターン先のマイクロ命令アドレスとなり該プログラムルーチンの実行に移る。それと同時に、スタックメモリに保持されているリターンアドレスの中でスタックポインタが示すリターンアドレスがスタックレジスタに格納されスタックポインタは-1される。

次に、本発明の実施例について図面を参照して詳細に説明する。

第2図は本発明の一実施例を示すブロック図で

納したマイクロ命令アドレスをスタックレジスタSTACKに格納するとともに、分岐先アドレスで制御記憶装置CSからサブルーチンの先頭のマイクロ命令を読み出し、マイクロ命令レジスタMIRにセットする。マイクロ命令アドレスレジスタMARには分岐先マイクロ命令の次のマイクロ命令アドレスがセットされ、以後サブルーチン上のマイクロプログラムを実行していく。

ところで、サブルーチン上のマイクロプログラムルーチンが実行されている間はスタックレジスタSTACKに該サブルーチンにおけるリターンアドレスが保持されているので新しいサブルーチン分岐命令が実行されるとスタックレジスタSTACKに保持されていたリターンアドレスはスタックポインタSPに格納されたポインタを+1したアドレスでスタックメモリRTAに格納され、スタックレジスタSTACKには、新しいリターンアドレスが格納される。スタックポインタSPに格納したポインタは+1され新しい格納したリターンアドレスを示すようになる。

以下同様に新しいサブルーチン分岐命令が実行されるたびに、スタックレジスタ STACK IC格納されていたリターンアドレスはスタックポインタ SP IC格納したポインタを+1したアドレスでスタックメモリ R/T A IC格納され、スタックレジスタ STACK には新しいリターンアドレスが格納される。以降新しいサブルーチン上のマイクロ命令が実行されていく。

一方、サブルーチンの実行を終了しサブルーチンの最後に置かれたリターン命令が読み出されると、スタックレジスタ STACK に保持されていたリターンアドレスがマイクロ命令アドレスとなり制御記憶装置 C/S からリターン先のマイクロ命令を読み出しマイクロ命令レジスタ M/R IC にセットする。

以後は元のプログラムルーチン上のマイクロ命令を順次実行する。リターン命令で指示された元のプログラムルーチンがやはりサブルーチンである場合には、スタックレジスタ STACK に格納されたマイクロ命令アドレスが読み出されると同時に

IC スタックレジスタ入力切替セレクタ SEL はスタックメモリ側を選択し、スタックメモリ R/T A IC 格納されていた該サブルーチンのリターンアドレスを読み出しスタックレジスタ STACK に格納する。そしてスタックポインタ SP IC 格納されているポインタは-1される。

以下、同様に、メインルーチンに戻るまで、リターン命令が読み出されるたびに、スタックレジスタ STACK に保持されていたリターンアドレスがマイクロ命令アドレスとして読み出されスタックメモリ R/T A IC 保持されていたリターンアドレスが順次スタックレジスタ STACK に再格納され、同時にスタックポインタ SP IC に格納したポインタも-1される。

サブルーチン分岐命令によりスタックレジスタ STACK に格納されたリターンアドレスはリターン命令によってマイクロ命令アドレスとして読み出されるかあるいは新しいサブルーチン分岐命令によって別のリターンアドレスを格納するためにスタックメモリ R/T A IC 格納されるまでそのまま保

持されており、スタックレジスタ STACK にはリターン命令が読み出された時、そのリターン先のマイクロ命令アドレスとして出力されるリターンアドレスが常に保持されている。

また、サブルーチン分岐命令によって、スタックレジスタ STACK を経てスタックメモリ R/T A IC 格納されたリターンアドレスは新しくリターン命令が読み出されると、スタックポインタ SP IC 格納されたポインタが示すアドレスからスタックレジスタ STACK に再格納される。スタックポインタ SP IC はスタックメモリ R/T A IC に保持されている中で一番新しいリターンアドレスを常に指している。

第3図(a)～(c)は第2図に示す本発明の一実施例で実行するマイクロプログラムの一例を示すフローチャートおよびそのサブルーチン動作における実行される順を示す流れ図、ならびにその時のスタックレジスタ、スタックメモリ、スタックポインタの内容を示す格納状態図である。

第3図(a)～(c)において M 1 および M 1' はメイ

ンルーチン、S 2～S 5, S 2' ～S 4' はサブルーチン、11, 21, 31, 41 はそれぞれメインルーチン M 1, サブルーチン S 2, S 3, S 4 へのリターンアドレス、a1～a4 はサブルーチン分岐命令、b1～b4 は元のルーチンへのリターン命令を示す。

メインルーチン M 1 を実行中にサブルーチン分岐命令 a1 が読み出されるとメインルーチン M 1 のリターンアドレス 11 をスタックレジスタ STACK に格納した後サブルーチン S 2 の実行に移る。

さらに、サブルーチン S 2 を実行中にサブルーチン分岐命令 a2 が読み出されると、リターンアドレス 21 をスタックレジスタ STACK に、そしてスタックレジスタ STACK に保持されていたリターンアドレス 11 はスタックポインタ SP IC 格納されているポインタを+1した後、スタックメモリ R/T A IC にそれぞれ格納される。

以下、同様に、サブルーチン分岐命令 a3, a4 が読み出されるたびにリターンアドレス 31, 41 がスタックレジスタ STACK に、そしてそこに保

持していたリターンアドレス 21, 31 がスタックポイント SP に格納されているポイントを +1 した後、"スタックメモリ R.T.A" に格納され、サブルーチン S.5 を実行中にはスタックレジスタ STACK にはリターンアドレス 41 がスタックメモリ R.T.A にはリターンアドレス 31, 21, 11 が保持されている。

一方、サブルーチン S.5 の実行が終了しリターン命令 b: が読み出されると、スタックレジスタ STACK に保持されていたリターンアドレス 41 がマイクロ命令アドレスとなり、リターン先のマイクロ命令を読み出しサブルーチン S.4 の実行に戻る。この時スタックメモリ R.T.A からリターンアドレス 31 が読み出されスタッ�レジスタ STACK に再格納され、スタックポイント SP に格納されたポイントは -1 される。

以下同様に、リターン命令が読み出されるたびにスタッ�レジスタ STACK に格納したマイクロ命令アドレスにより制御記憶装置 CS からリターン先のマイクロ命令を読み出し、同時にスタッ

により、高速でリターン先のマイクロ命令を読み出すことができ性能向上がはかれるという効果がある。

4. 図面の簡単な説明

第 1 図は従来の一例を示すブロック図、第 2 図は本発明の一実施例を示すブロック図、第 3 図(a)～(c)は第 2 図に示す実施例で実行するマイクロプログラムの一例を示すフローチャートおよび実行される順を示す流れ図、および、その時のスタッキレジスタ、スタックメモリ、スタックポイントの内容を示す格納状態図である。

CS ……制御記憶部、MIR ……マイクロ命令レジスタ、ALU1, ALU2 ……演算回路、MAR ……マイクロ命令アドレスレジスタ、R.T.A ……スタックメモリ、SP ……スタックポイント、STACK ……スタッキレジスタ、SEL ……スタッキレジスタ入力切替セレクタ、M1, M1' ……メインルーチン、S2～S5, S2'～S4' ……サブルーチン、11, 21, 31, 41 ……リ

ポインタ SP の示すスタックメモリ R.T.A のリターンアドレスをスタッキレジスタ STACK に再格納しスタックポイント SP に格納したポイントを -1 する。そして、スタックメモリ R.T.A に格納されていたリターンアドレスがすべて読み出され最後のリターンアドレス 11 がスタッキレジスタ STACK から読み出されると元のメインルーチン M.1' の実行に戻る。

本発明のマイクロプログラム制御情報処理装置は、スタッキレジスタを追加することにより、リターンアドレスの読み出をスタックメモリから行なう代りに、スタッキレジスタから行なうことができる、リターン先のマイクロ命令の読み出が高速化できるという効果がある。

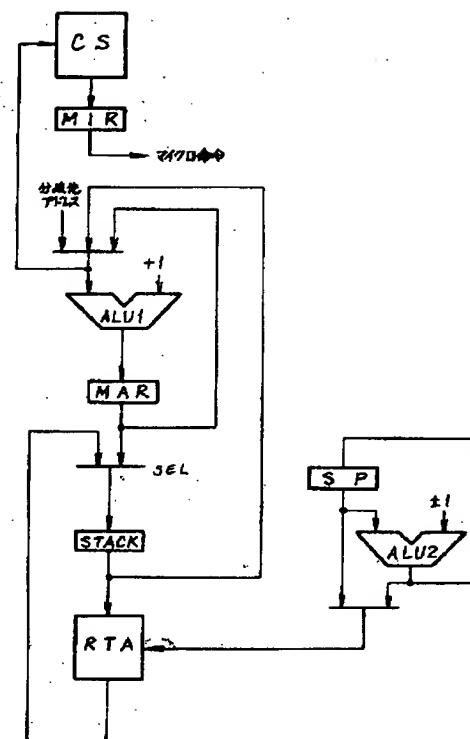
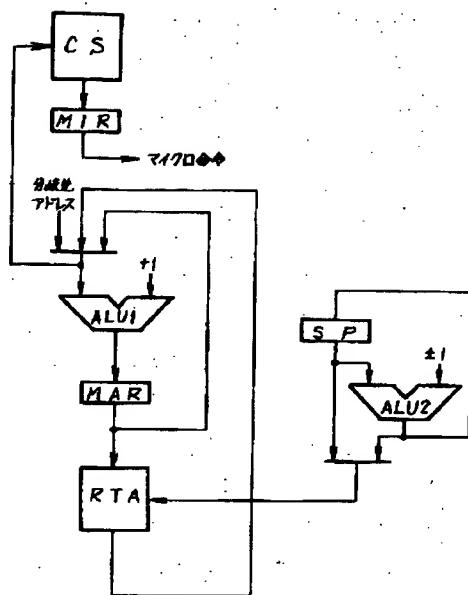
すなわち、本発明のマイクロプログラム制御情報処理装置は、サブルーチン実行中にリターンアドレスを保持するため、スタッキレジスタとスタックメモリを設け、リターン命令が読み出された時にマイクロ命令アドレスとして出力されるリターンアドレスをスタッキレジスタに保持すること

リターンアドレス、a1～a4: ……サブルーチン分岐命令、b1～b4: ……リターン命令。

代理人 弁理士 内原 音

第2図

第1図



第3図

